

К.А. Якименко, К.А. Вилков
 Научный руководитель: доктор техн. наук, проф. В.В. Ромашов
 Муромский институт Владимирского государственного университета
 602264, г. Муром Владимирской обл., ул. Орловская, д.23
 E-mail: romashovamur@mail.ru

PDS-синтезатор на логических элементах

Современные синтезаторы на основе систем фазовой автоподстройки частоты имеют ряд существенных недостатков. Шаг переключения частоты у них равен частоте сравнения в фазовом детекторе. Однако при уменьшении частоты сравнения, необходимо увеличивать коэффициент деления в цепи обратной связи, что приводит к существенному росту фазовых шумов. Для устранения этого недостатка в систему ФАПЧ вводят дополнительные петли, что приводит к усложнению схемы, росту потребляемой мощности и времени перестройки.

В [1] предлагается новый тип синтезатора – PDS-синтезатор (Phase Digital Synthesizer). Целью данной работы является моделирование одного из способов реализации PDS-синтезатора на логических элементах.

Структура PDS-синтезатора основана на системе ФАПЧ, с особым цифровым устройством вместо фазового детектора. Отличительной особенностью PDS-синтезатора является то, что коэффициент деления в цепи обратной связи равен единице, за счет этого уровень фазовых шумов очень мал.

Упрощенная структура PDS-синтезатора представлена на рис. 1.

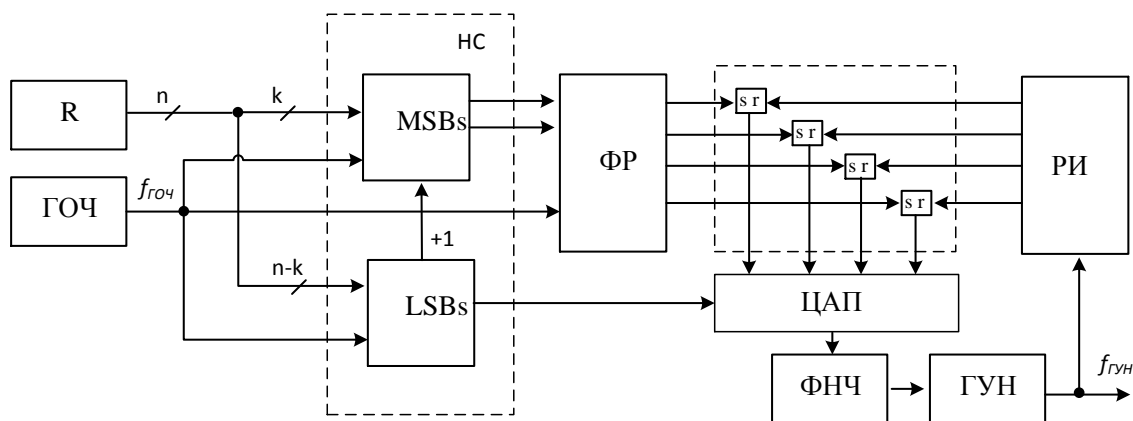


Рис.1. Структурная схема PDS-синтезатора

Генератор опорной частоты (ГОЧ) вырабатывает выходную частоту $f_{ГОЧ}$. Опорный накапливающий сумматор (НС) состоит из блока менее значащих разрядов (LSBs) и более значащих (MSBs). Количество разрядов сумматора – n (у блока MSBs – k , у блока LSBs – $(n-k)$). В сумматор загружается код управления частотой $R=R_1+R_2$.

Фазовый расщепитель (ФР) формирует на своих выходах последовательности импульсов с частотой $F_{ГОЧ} = \frac{R \cdot f_{ГОЧ}}{2^n}$, сдвинутые относительно друг друга на $\frac{2^{n-k}}{f_{ГОЧ}}$.

На выходе PDS-синтезатора стоит генератор, управляемый напряжением (ГУН). Выходной сигнал ГУН $f_{ГУН}$ подается на распределитель импульсов (ПИ), который, как и ФР, формирует аналогичные последовательности импульсов с частотой $f_{ГУН}$.

Последовательности импульсов от ФР и ПИ сравниваются в фазовом компараторе (ФК), который представляет собой набор RS-триггеров. Скважность импульсов на выходах RS-триггеров зависит от разности фаз последовательностей с выходов ФР и ПИ. Импульсы подаются на цифро-аналоговый преобразователь (ЦАП), формирующий импульсное напряжение. Фильтр ФНЧ выделяет постоянную составляющую $U_{упр}$, которая в результате подстраивает ГУН.

В ходе работы было проведено моделирование PDS-синтезатора в программе Microcap. Осциллограммы выходных сигналов звеньев синтезатора представлены на рис.2.

Секция 13. Моделирование радиоэлектронных устройств и систем

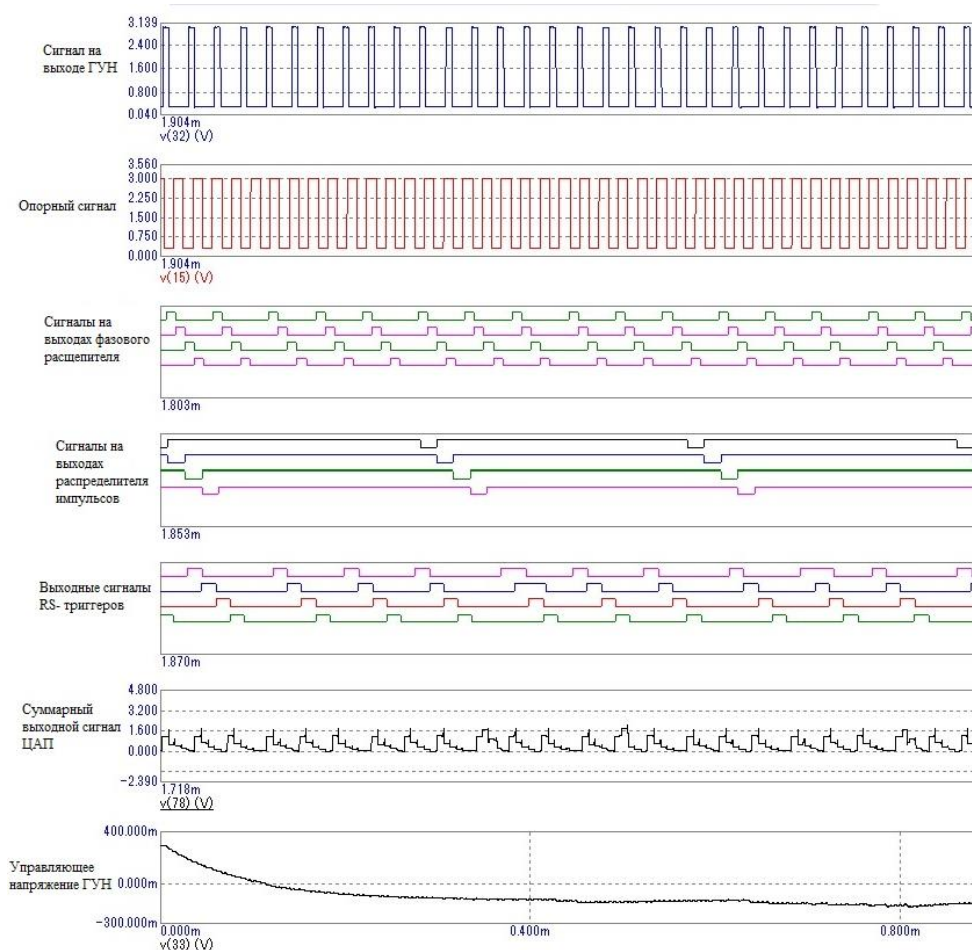


Рис.2. Результаты анализа в программе Microcap

По рис.2 видно, что синтезатор формирует управляющее напряжение, которое подстраивает выходную частоту ГУН. Таким образом, PDS-синтезаторы являются перспективными за счет ряда преимуществ, таких как: низкий уровень фазовых шумов, возможность исполнения на ПЛИС, цифровое управление и др.

Литература

1. Vitaly Koslov, Digital PLL Frequency Synthesizer, US Patent #5,748,043, 05.05.1998.